

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

**In re Application of:
KNÜPFER, et al.**

Serial No.: UNKNOWN

Filed: HEREWITH

Confirmation No.: UNKNOWN

For: DLL CIRCUIT FOR
STABILIZATION OF THE
INITIAL TRANSIENT PHASE

MAIL STOP PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Group Art Unit: UNKNOWN

Examiner: UNKNOWN

CERTIFICATE UNDER 37 CFR 1.10

I hereby certify that this correspondence and the documents referred to as attached therein are being deposited on February 17, 2004, with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee," mailing label No. EV335472009US addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

February 17, 2004

Signature

CLAIM TO PRIORITY

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

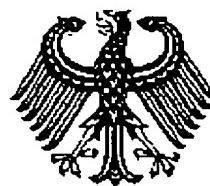
German Patent Application Serial Number 103 06 619.5-35 filed February 18, 2003.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,

Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Agent for Applicant(s)

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

103 06 619.5

Anmeldetag:

18. Februar 2003

Anmelder/Inhaber:

Infineon Technologies AG,
81669 München/DE

Bezeichnung:

DLL-Schaltung zur Stabilisierung
der Einschwingphase

IPC:

H 03 L 7/081

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 29. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read "Hintermeier".

Hintermeier

Beschreibung

DLL-Schaltung zur Stabilisierung der Einschwingphase

Die Erfindung betrifft eine DLL-Schaltung zur Phasenadjustierung eines periodischen Eingangssignales, das während der Ein-

- 5 schwingphase gegenüber Störungen unempfindlich ist. Die Erfindung betrifft weiterhin ein Verfahren zur Phasenadjustierung eines periodischen Eingangssignales während einer Einschwing-
- phase einer DLL-Schaltung.

0 DLL-Schaltungen (Delay-Locked-Loops) werden eingesetzt, um Signale zu erzeugen, die zu einem gegebenen periodischen Eingangssignal einen festen Phasenunterschied aufweisen sollen. Häufig werden solche DLL-Schaltungen in Takt signalleitungen in integrierten Schaltungen eingesetzt, um die Laufzeitverzö-

gerung auf der Takt signalleitung zu kompensieren. Im Falle 15 eines verzögerten Takt signals fügt die DLL-Schaltung dann dem Takt signal eine weitere Verzögerung hinzu, so dass an dem Ausgang der DLL-Schaltung ein phasenangepasstes Signal, das eine Verzögerung von einer Taktperiode dauer oder ein Vielfaches davon gegenüber dem ursprünglichen nicht verzögerten

20 Takt signal aufweist. Auf diese Weise kann z.B. unter Kenntnis der Signallaufzeit des Signalwegs des Takt signals bis zu der DLL-Schaltung an jeder Stelle der integrierten Schaltung ein nicht verzögertes Takt signal am Ausgang zur Verfügung ge- stellt werden.

25 Die Genauigkeit der Phasenadjustierung hängt davon ab, wie genau die bisherige Verzögerung des Takt signals mit Hilfe eines Replikats in Form eines Verzögerungselementes nachgebildet werden kann.

Typischerweise ist eine DLL-Schaltung mit einer einstellbaren

- 30 Verzögerungseinheit, die über eine Regeleinheit eingestellt wird, ausgebildet. Die Regeleinheit weist weiterhin eine Vergleichereinheit auf, die das periodische Signal und das

über die einstellbare Verzögerungseinheit und das Verzögerungselement verzögerte Eingangssignal miteinander vergleicht und ein Phasensignal generiert, das eine Voreilung oder Nachteilung des Eingangssignals angibt. Das Phasensignal gibt im 5 eingeschwungenen Zustand an, ob die Verzögerung der einstellbaren Verzögerungseinheit inkrementell vergrößert oder verkleinert werden soll.

In einer Einschwingphase z.B. kurz nach dem Einschalten der DLL-Schaltung muss zunächst der eingeregelte Zustand gefunden 10 werden, bei dem das Eingangssignal und das durch die Verzögerungseinheit und das Verzögerungselement verzögerte Signal im Wesentlichen eine Phasenlage von 0° aufweist bzw. um die Phasenlage von 0° pendelt. Als Anfangszustand wird in der einstellbaren Verzögerungseinheit eine bestimmte Verzögerung 15 eingestellt, wobei bei einer erkannten Voreilung nicht feststeht, ob durch eine Reduzierung der Verzögerung in der Verzögerungseinheit die Phasenlage von 0° sicher erreicht werden kann. Aus diesem Grunde wird in der Einschwingphase unabhängig 20 von dem Phasensignal die Verzögerung in der einstellbaren Verzögerungseinheit kontinuierlich mit größeren Inkrementen als im eingeschwungenen Zustand erhöht. Kommt es bei einer zuvor erkannten Voreilung des Eingangssignals zu einer Erkennung einer Nacheilung des Eingangssignals, so ist die Phasenlage von 180° erreicht. Wird nach einer Nacheilung eine Voreilung detektiert, so ist die Phasenlage von 0° erreicht, die 25 Einschwingphase ist beendet und es wird in den Normalbetriebszustand übergegangen.

Beim Wechsel des Phasensignals bei der Phasenlage von 180° kann es aufgrund von Störungen nach einem erkannten Wechsel 30 von einer Voreilung zu einer Nacheilung erneut zu einem Erkennen einer Voreilung kommen, so dass die Regeleinheit fälschlicherweise davon ausgeht, dass die Phasenlage von 0° bereits erreicht ist. Dies führt zu einem Wechsel der Regelung 35 in den Normalbetriebsmodus, bei dem die Änderung der Verzögerung in der Verzögerungseinheit durch erheblich klei-

nere Inkremente als in der Einschwingphase erfolgt, so dass das Einstellen der Phasenlage auf 0° sehr langsam erfolgt. Dadurch kann eine gemäß einer Spezifikation vorgegebene maximale Einschwingdauer nicht erreicht werden.

- 5 Es ist daher Aufgabe der vorliegenden Erfindung, eine störunempfindliche DLL-Schaltung und ein Verfahren zur Phasenanpassung eines periodischen Eingangssignals für eine DLL-Schaltung zur Verfügung zu stellen, wobei ein schnelles Einschwingen auf eine Phasenlage von 0° erreicht werden kann.
- 10 Diese Aufgabe wird durch die DLL-Schaltung nach Anspruch 1 sowie durch das Verfahren zur Phasenanpassung eines periodischen Eingangssignales nach Anspruch 8 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

- 15 Gemäß einem ersten Aspekt der vorliegenden Erfindung ist eine DLL-Schaltung zur Phasenanpassung eines periodischen Eingangssignales vorgesehen. Die DLL-Schaltung weist eine einstellbare Verzögerungseinheit, ein Verzögerungselement und eine Regeleinheit auf. Die Regeleinheit umfasst eine Regeleinrichtung zum Einstellen einer Verzögerung des Eingangssignales in der Verzögerungseinheit und eine Vergleichereinheit. Die Vergleichereinheit generiert bei jedem Signalzyklus ein Phasensignal, dessen Zustand eine Voreilung oder eine Nacheilung des Eingangssignals bezüglich einem durch die einstellbare Verzögerungseinheit und dem Verzögerungselement verzögerten Signal angibt und das der Regeleinrichtung während einer eingeschwungenen Betriebsphase zur Verfügung gestellt wird. Die Regeleinrichtung erhöht während einer Einschwingphase die Verzögerung der Verzögerungseinheit, bis ein Wechsel des Phasensignals einen Wechsel von einer erkannten Nacheilung des Eingangssignals zu einer Voreilung des Eingangssignals anzeigt. Die Regeleinheit umfasst weiterhin eine Filterschaltung, um während der Einschwingphase ein gefilter-
- 20
- 25
- 30

tes Phasensignal der Regeleinrichtung zur Verfügung zu stellen. Die Filterschaltung ändert den Zustand des gefilterten Phasensignals nur dann auf den Zustand des Phasensignals, wenn bezüglich des Zustandes des gefilterten Phasensignals 5 für eine vorbestimmte Anzahl von aufeinander folgenden Signalzyklen ein anderer Zustand des Phasensignals detektiert worden ist.

Die erfindungsgemäße DLL-Schaltung hat den Vorteil, dass in 10 der Einschwingphase das Phasensignal nur gefiltert der Regeleinrichtung zur Verfügung gestellt wird. Dies hat den Vorteil, dass beim Übergang der Phasenlage von einer Voreilung zu einer Nacheilung, d.h. bei einer Phasenlage von 180° , aufgrund von Störungen nach einer erkannten Nacheilung keine Voreilung detektiert wird und fälschlicherweise zu einer Erkennung der Phasenlage von 0° führt. Dies hätte das Beenden 15 der Einschwingphase zur Folge, wonach auf eine Regelung für eine eingeschwungene Betriebsphase umgeschaltet wird. Diese Regelung in der eingeschwungenen Betriebsphase bewirkt Änderungen der Verzögerung in der Verzögerungseinheit mit sehr 20 kleinen Inkrementen, so dass die Phasenlage von 0° ausgehend von einer realen Phasenlage von 180° nur sehr langsam erreicht wird.

Eine Störung, die zu einer fehlerhaften Erkennung einer Phasenlage von 0° führen kann, kann durch einen durch Rauschen 25 induzierten Phasensprung oder durch regelmäßige Phasenstörungen bzw. durch das Auftreten von Jitter hervorgerufen werden. Bei Jitter ist die Lage einer Flanke des periodischen Eingangssignals zeitlich versetzt, so dass die zeitliche Verschiebung bei einer Phasenlage nahe von 180° zu einer fehlerhaften Erkennung der Phasenlage führen kann. Um dies zu vermeiden, wird das Phasensignal gefiltert, so dass erst bei einer zuverlässigen Erkennung eines Wechsels der Phasenlage 30 durch mehrere aufeinander folgenden Signalzyklen das Phasensignal für die Regeleinrichtung, die den Wechsel in die eingeschwungene Betriebsphase bestimmt, geändert wird. D.h. ein 35

einmaliger Ausreißer des Phasensignals, z.B. wenn während einer Erkennung einer Voreilung einmalig eine Nacheilung erkannt wird und anschließend nach der erkannten Nacheilung erneut eine Voreilung erkannt wird, kann ignoriert werden.

5 Normalerweise würde der Übergang von einer erkannten Nacheilung zu einer erkannten Voreilung die Phasenlage von 0° signalisieren und die Regeleinheit veranlassen, in die Normalbetriebsphase umzuschalten. Durch die Filterschaltung wird nun zunächst für eine vorbestimmte Anzahl von Signalzyklen abgewartet, bis ein bezüglich des Ausgangssignals der Filterschaltung, nämlich das gefilterte Phasensignal, verändertes Phasensignal mehrfach nacheinander auftritt, bevor der Zustand des gefilterten Phasensignals an die Regeleinrichtung weitergegeben wird.

15 Es kann weiterhin vorgesehen sein, dass die vorbestimmte Anzahl von aufeinander folgenden Signalzyklen einstellbar ist. Insbesondere kann vorgesehen sein, dass die vorbestimmte Anzahl von aufeinander folgenden Signalzyklen so gewählt ist, dass die Signalverzögerung zwischen dem Eingangssignal und dem verzögerten Signal gleich oder geringer ist als das durch die Anzahl bestimmte Vielfache der Zykluszeit. Eine zeitliche Verschiebung einer Flanke aufgrund von Jitter kann in der Vergleichereinrichtung zweimal zu einer Fehlerkennung der Phasenlage führen. Das erste Mal kann eine fehlerhafte Phasenlage erkannt werden, wenn die zeitlich versetzte Flanke des Eingangssignals in der Vergleichereinrichtung mit dem rückgekoppelten verzögerten Signal verglichen wird. Die zeitliche Versetzung der Flanke wird jedoch ebenfalls zeitlich verzögert an die Vergleichereinrichtung über die Rückkopplung 20 weitergegeben, so dass nach einer durch die einstellbare Verzögerungseinheit und das Verzögerungselement vorgegebene Verzögerungszeit die gestörte Flanke an der Vergleichereinrichtung zum zweiten Mal anliegt. Daher ist vorgesehen, dass die Filterschaltung mindestens so viele Taktzyklen des Phasensignals 25 überprüft, bis eine gestörte Flanke des Eingangssignals auch nach der Verzögerung durch die Verzögerungseinheit und

das Verzögerungselement an der Vergleichereinrichtung angelegten hat.

Vorzugsweise ist vorgesehen, dass die Filterschaltung ein Schieberegister mit der vorbestimmten Anzahl von Registern umfasst, wobei an das Schieberegister das Phasensignal angelegt ist, wobei ein Zustandswechsel des gefilterten Phasen-signal nur dann erfolgt, wenn in alle Schieberegister ein bezüglich des Zustandes des Phasensignals anderer Zustand gespeichert ist.

Weiterhin kann vorgesehen sein, dass die Filterschaltung ein SR-Flipflop umfasst, dessen Setzeingang mit dem Ausgang eines Und-Gatters verbunden ist und dessen Rücksetzeingang mit dem Ausgang eines Nicht-Oder-Gatters verbunden ist, wobei die Ausgänge der Register des Schieberegisters mit Eingängen des Und-Gatters und mit Eingängen des Oder-Gatters verbunden sind. Auf diese Weise speichert das SR-Flipflop das Phasen-signal und ändert seinen Zustand nur dann, wenn die Phasen-signale in einer Anzahl von aufeinander folgenden Signalzyklen ein geändertes Phasensignal anzeigen. Die Anzahl entspricht der Anzahl der Register des Schieberegisters.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zur Phasenanpassung eines periodischen Ein-gangssignales während einer Einschwingphase einer DLL-Schaltung vorgesehen. Bei jedem Signalzyklus wird ein Phasen-signal generiert, das eine Voreilung oder Nacheilung des Ein-gangssignals bezüglich einem verzögerten Signal angibt. Die Verzögerung des verzögerten Signals wird gemäß dem Phasensig-nal eingestellt. Während der Einschwingphase wird die Verzö-gerung des verzögerten Signals inkrementell erhöht. Das Pha-sensignal wird während der Einschwingphase gefiltert, wobei ein Wechsel des Zustands des gefilterten Phasensignals nur dann erfolgt, wenn bezüglich des Zustands des gefilterten Phasensignals für eine vorbestimmte Anzahl von aufeinander

folgenden Signalzyklen ein anderer Zustand des Phasensignals detektiert worden ist.

Auf diese Weise wird erfindungsgemäß erreicht, dass Störungen, die fälschlicherweise eine geänderte Phasenlage angeben, 5 herausgefiltert werden. Erst wenn eine Änderung der Phasenlage von einer Voreilung zu einer Nacheilung bzw. von einer Nacheilung zu einer Voreilung aufgrund von einer mehrfachen Erkennung des geänderten Zustands des Phasensignals erkannt wird, wird dies von der Filterschaltung an die Regeleinrich- 10 tung weitergegeben. Somit wird vermieden, dass ein fehlerhaftes Erkennen eines Phasensignals von 0° zum Beenden der Einschwingphase führt. Erfolgt dies zu früh, so muss die DLL- 15 Schaltung in der eingeschwungenen Betriebsphase die Phasenlage von 0° erreichen. Dies ist erheblich zeitaufwändig, da die Verzögerung während der Normalbetriebsphase inkrementell mit kleineren Inkrementen geändert wird, als dies während der 20 Einschwingphase der Fall ist.

Eine bevorzugte Ausführungsform der Erfindung wird im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Blockschaltbild einer DLL-Schaltung gemäß einer bevorzugten Ausführungsform der Erfindung; und

Fig. 2 eine mögliche Ausführungsform einer Filterschaltung.

25 Fig. 1 zeigt eine DLL-Schaltung 1 mit einer einstellbaren Verzögerungseinheit 2, die mit einer Regeleinheit 3 verbunden ist. Der Eingang der DLL-Schaltung 1 ist mit einem Eingang der einstellbaren Verzögerungseinheit 2 und mit einem ersten Eingang der Regeleinheit 3 verbunden. Ein Ausgang der ein- 30 stellbaren Verzögerungseinheit 2 stellt den Ausgang A der DLL-Schaltung 1 dar. Der Ausgang A der DLL-Schaltung 1 ist über ein Verzögerungselement 4 mit einem zweiten Eingang der Regeleinheit 3 verbunden.

Die DLL-Schaltung 1 hat den Zweck, ein an dem Eingang E anliegendes periodisches Signal um eine von dem Verzögerungselement 4 vorgegebene Verzögerung nach vorne zu verschieben. Eine solche DLL-Schaltung 1 kann insbesondere bei Taktsignal-

5 leitungen in einer integrierten Schaltung verwendet werden, um die durch die Signallaufzeiten auf den Taktleitungen bewirkten Verzögerungen auszugleichen. Das Verzögerungselement 4 wäre in einem solchen Fall so angepasst, um die Verzögerung eines Taktsignales auf einer Taktleitung nachzubilden, so

10 dass am Ausgang A der DLL-Schaltung 1 das korrigierte gegenüber dem ursprünglichen Taktsignal nicht verzögerte Taktsignal anliegt.

Die Regeleinheit 3 weist eine Vergleichereinrichtung 5 auf, die das an dem ersten Eingang angelegte Eingangssignal und

15 das über das Verzögerungselement 4 verzögerte Ausgangssignal vom Ausgang A der DLL-Schaltung 1 miteinander vergleicht und ein Phasensignal P an einem Ausgang ausgibt, das eine Voreilung des Eingangssignals bezüglich des verzögerten Ausgangssignals oder eine Nacheilung angibt.

20 Das Phasensignal P ist an einen ersten Eingang einer Demultiplexereinrichtung 6 angelegt. Ein Ausgang der Demultiplexereinrichtung 6 ist mit einer Regeleinrichtung 7 der Regel-

einheit 3 verbunden. Eine Regeleinrichtung 7 steuert die De-

25 multiplexereinrichtung 6 so, dass in einer eingeschwungenen Betriebsphase das Phasensignal P durch die Demultiplexereinrichtung 6 an die Regeleinrichtung 7 durchgeschaltet ist. In der eingeschwungenen Betriebsphase bewirkt das Phasensignal P, das eine Voreilung anzeigt, dass die mit der Regeleinrich-

tung 7 verbundenen einstellbaren Verzögerungseinheit 2 die

30 Verzögerung des Eingangssignals inkrementell erhöht wird. Bei einer Nacheilung des Phasensignals P wird die Verzögerung in der einstellbaren Verzögerungseinheit 2 verringert. Auf diese Weise wird eine Phasenlage zwischen dem periodischen Eingangssignal an dem Eingang E und des durch die Verzögerungs-

einheit 2 und das Verzögerungselement 4 verzögerte Signal etwa auf 0° geregelt.

- In einem Einschwingzustand, der beispielsweise nach Einschalten der DLL-Schaltung 1 eingenommen wird, steuert die Regeleinrichtung 7 die einstellbare Verzögerungseinheit 2 so an, dass die Verzögerung kontinuierlich in Verzögerungssinkrementen erhöht wird. Die Einschwingphase dauert so lange, bis die Regeleinrichtung 7 einen Übergang von einer Nacheilung des Eingangssignals zu einer Voreilung des Eingangssignals erkennt, wodurch die Phasenlage von 0° angezeigt wird. Daraufhin schaltet die Regeleinrichtung 7 auf die Normalbetriebsphase um, die von einem eingeregelten Zustand ausgeht. Die Regeleinrichtung 7 führt dann eine Regelung gemäß oben beschriebenen Verfahren durch.
- Ist zu Beginn des Einschwingvorgangs das Eingangssignal voreilend, so wird dann durch Erhöhung der Verzögerung in der einstellbaren Verzögerungseinheit 2 zunächst die Phasenlage in Richtung 180° erhöht. Da eine Voreilung des Eingangssignals durch eine Phasenlage von 0 bis 180° und eine Nacheilung des Eingangssignals durch eine Phasenlage von 180 bis 360° definiert ist, findet bei einer kontinuierlichen Erhöhung der Verzögerung des Eingangssignals ein Wechsel von einer Voreilung zu einer Nacheilung des Eingangssignals statt.

Angenommen, das Phasensignal hätte den Zustand einer logischen „1“ für eine Voreilung und den Zustand einer logischen „0“ für eine Nacheilung. Selbstverständlich können im Sinne der Erfahrung die beiden Zustände auch in anderer Weise z.B. umgekehrt codiert sein. Die Regeleinrichtung würde dann einen Wechsel des Phasensignals P von einer logischen „1“ zu einer logischen „0“ als 180° -Durchgang erkennen und einen Wechsel von einer logischen „0“ zu einer logischen „1“ des Phasensignals P als einen Durchgang durch die Phasenlage von 0° erkennen. Der Wechsel des Phasensignals P von einer logischen „0“ zu einer logischen „1“ führt demnach zu einer Beendigung des

Einschwingvorgangs und zu einem Übergang in die eingeschwungene Betriebsphase.

Bei der Phasenlage in der Nähe von 180° kann es jedoch aufgrund von Störungen des periodischen Eingangssignals, z.B.

- 5 bei dem sich aufgrund von Jitter ein zeitlicher Versatz einer Flanke ergibt, vorkommen, dass nach dem Erkennen des Phasenlagenübergangs bei 180° erneut eine Voreilung angezeigt wird. Der Wechsel von einer logischen „0“ zu einer logischen „1“ des Phasensignals kann dann zur fehlerhaften Erkennung des
10 Phasenübergangs bei einer Phasenlage von 0° führen.

Um dies zu vermeiden, ist eine Filterschaltung 8 vorgesehen, an deren Eingang das Phasensignal P angelegt ist, und deren Ausgang mit einem zweiten Eingang der Demultiplexereinrichtung 6 verbunden ist. Der Ausgang der Filterschaltung 8 ist
15 über die durch die Regeleinrichtung gesteuerte Demultiplexereinrichtung 6 während der Einschwingphase mit dem Eingang der Regeleinrichtung 7 verbunden.

- Die Filterschaltung 8 hat die Funktion, Störungen der Flanken des Eingangssignales, die sich in einem Zustandswechsel des
20 Phasensignals widerspiegeln, zu filtern.

Die Filterschaltung 8 ist so gestaltet, dass ein gefiltertes Phasensignal FP nur dann einen Zustandswechsel anzeigt, wenn für mehrere Signalzyklen das Phasensignal P einen gegenüber dem gefilterten Phasensignal geänderten Zustand nacheinander
25 anzeigt. Beginnt der Einschwingvorgang mit einer Voreilung, so ist das Phasensignal gemäß dem oben gewählten Beispiel auf einer logischen „1“. Auch das gefilterte Phasensignal hat den Zustand einer logischen „1“. Wechselt das Phasensignal nun auf eine logische „0“, so wird das gefilterte Phasensignal
30 erst dann geändert, wenn für mehrere Signalzyklen nacheinander das Phasensignal auf einer logischen „0“ liegt.

- Die Anzahl der Signalzyklen, für die das Phasensignal gleiche Zustände aufweisen muss, um einen Signalwechsel des gefilterten Phasensignals zu bewirken, ist im Wesentlichen frei wählbar. Vorzugsweise ist die Anzahl der Signalzyklen so groß gewählt, dass in dem Zeitraum zwischen Eintreffen einer gestörten Flanke des Eingangssignals und dem Zeitpunkt, wenn die gestörte Flanke des Eingangssignals über die Verzögerungseinheit 2 und das Verzögerungselement 4 den zweiten Eingang der Regeleinheit 3 erreicht, keinen Zustandswechsel über das gefilterte Phasensignal FP ausgeben kann. D.h. beträgt die Verzögerung zwischen der Verzögerungseinheit 2 und der und dem Phasenelement 4 drei Taktzyklen, so beträgt die Anzahl der Signalzyklen, für die das Phasensignal einen Wechsel des Zustandes anzeigt, mindestens drei.
- Die Anzahl der Signalzyklen darf jedoch auch nicht zu hoch gewählt werden, da dadurch bei einem Phasenübergang bei einer Phasenlage von 0° die Gefahr besteht, dass die Verzögerungseinheit 2 noch eine Zeit lang die Verzögerung erhöht, so dass beim Umschalten auf die eingeschwungene Betriebsphase eine längere Zeit benötigt wird, bis die Regeleinheit 3 die Verzögerung der einstellbaren Verzögerungseinheit 2 reduziert hat, so dass eine Phasenlage von 0° erreicht wird. Eine Filterung über eine zu große Anzahl von Signalzyklen führt dann also dazu, dass die Einschwingphase verlängert wird.
- In Fig. 2 ist ein Blockschaltbild einer möglichen Ausführungsform für die Filterschaltung 8 dargestellt. Das Phasensignal P wird an ein Schieberegister 10 angelegt, das vier Registerspeicher 11, die in Reihe geschaltet sind, aufweist. Jeder der Registerspeicher 11 weist einen Takteingang auf, an den das Eingangssignal angelegt ist. Die Zustandswechsel des Eingangssignals bewirken, dass das angelegte Phasensignal P schrittweise durch die Registerspeicher 11 des Schieberegisters 10 bewegt wird. D.h. bei einem Schieberegister 10 mit vier Registerspeichern 11 hat ein Phasensignal den Ausgang des letzten Registerspeichers 11 nach vier Perioden des Ein-

gangssignals erreicht. Die Anzahl der Registerspeicher 11 in dem Schieberegister 10 ist nicht auf vier begrenzt, sondern kann gemäß der Anzahl der Signalzyklen, die zur Filterung des Phasensignals berücksichtigt werden sollen, angepasst sein.

- 5 Die Ausgänge der Registerspeicher 11 sind jeweils mit Eingängen eines Und-Gatters 12 und eines Nicht-Oder-Gatters 13 verbunden, so dass die in den Registerspeichern 11 gespeicherten aufeinander folgenden Zustände des Phasensignals P in dem Und-Gatter 12 miteinander und in dem Nicht-Oder-Gatter 13 verknüpft werden. Ein Ausgang des Und-Gatters 12 ist mit einem Setzeingang eines SR-Flipflops 14 verbunden. Ein Ausgang des Nicht-Oder-Gatters 13 ist mit einem Rücksetzeingang des SR-Flipflops 14 verbunden. An dem Ausgang des SR-Flipflops liegt das gefilterte Phasensignal FP an. Zur Taktung des SR-15 Flipflops ist dieses ebenfalls mit dem Eingangssignal des Eingangs E der DLL-Schaltung 1 verbunden.

Hat das Phasensignal P den Zustand einer logischen „1“, d.h. es zeigt eine Voreilung des Eingangssignals an, so sind nach vier Signalzyklen in jedem der Registerspeicher 11 eine logische „1“ gespeichert. Dies führt dazu, dass an dem Ausgang des Und-Gatters 12 ebenfalls eine logische „1“ anliegt und an dem Ausgang des Nicht-Oder-Gatters 13 eine logische „0“. Dadurch wird der Setzeingang des SR-Flipflops 14 auf Eins gesetzt und mit der nächsten Flanke in das SR-Flipflop übernommen. Am Ausgang des SR-Flipflops 14 liegt dann das gefilterte Phasensignal FP an. Wechselt der Zustand des Phasensignals P auf eine logische „0“, so wird dieser Zustand in den ersten Registerspeicher 11 mit der nächsten entsprechenden Flanke des Eingangssignals übernommen. Dies führt dazu, dass der Ausgang des Und-Gatters 12 eine logische „0“ annimmt und an dem Setzeingang des SR-Flipflops 14 ebenfalls eine logische „0“ anliegt. Dies bewirkt keine Änderung am Ausgang des SR-Flipflops 14. Erst wenn in allen Registerspeichern 11 logische Nullen gespeichert sind, wird über den Ausgang des Nicht-Oder-Gatters 13 der Rücksetzeingang des SR-Flipflops 14

auf eine logische „1“ gesetzt. Dies führt bei einer nächsten entsprechenden Signalflanke des Eingangssignals zu einem Wechsel des in dem SR-Flipflop 14 gespeicherten Zustandes, der an dem Ausgang als das gefilterte Phasensignal FP ausgegeben wird.

Geht der Zustand des Phasensignals P nur kurzzeitig auf eine logische „0“ und anschließend wieder auf eine logische „1“, so kommt es nicht zu einer Speicherung von logischen Nullen in allen Registerspeichern 11, so dass eine Rücksetzung des SR-Flipflops 14 nicht erfolgen kann.

Auf diese Weise können kurzzeitige Störungen des periodischen Eingangssignals aufgrund von Jittern, aufgrund von durch Rauschen induzierten, unbeabsichtigten Phasensprüngen oder aufgrund von regelmäßigen Phasenstörungen nicht dazu führen, dass fälschlicherweise ein Übergang von einer Voreilung zu einer Nacheilung oder umgekehrt erkannt werden kann.

Patentansprüche

1. DLL-Schaltung (1) zur Phasenanpassung eines periodischen Eingangssignales

mit einer einstellbaren Verzögerungseinheit (2),

5 mit einem Verzögerungselement (4) und

mit einer Regeleinheit (3), die eine Regeleinrichtung (7) zum Einstellen einer Verzögerung des Eingangssignales in der Verzögerungseinheit (2) und eine Vergleichereinheit (5) umfasst, um bei jedem Signalzyklus ein Phasensignal (P) zu generieren,

10 dessen Zustand eine Voreilung oder eine Nacheilung des Eingangssignals bezüglich einem durch die einstellbare Verzögerungseinheit (2) und dem Verzögerungselement (4) verzögerten Signal angibt und das der Regeleinrichtung (7) während einer eingeschwungenen Betriebsphase zur Verfügung gestellt wird,

15 wobei die Regeleinrichtung (7) während einer Einschwingphase die Verzögerung der Verzögerungseinheit (2) erhöht, bis ein Wechsel des Phasensignals einen Wechsel von einer erkannten Nacheilung des Eingangssignals zu einer Voreilung des Eingangssignals anzeigt,

20 dadurch gekennzeichnet,

dass die Regeleinheit (3) eine Filterschaltung (8) umfasst, um während der Einschwingphase ein gefiltertes Phasensignal (FP) der Regeleinrichtung (7) zur Verfügung zu stellen, wobei die Filterschaltung (8) den Zustand des gefilterten Phasen- signals (FP) nur dann auf den Zustand des Phasensignals (P) ändert, wenn bezüglich des Zustandes des gefilterten Phasen- signals (FP) für eine vorbestimmte Anzahl von aufeinander folgenden Signalzyklen ein anderer Zustand des Phasensignals (P) detektiert worden ist.

30

2. DLL-Schaltung (1) nach Anspruch 1, dadurch gekennzeich- net, dass die vorbestimmte Anzahl von aufeinander folgenden Signalzyklen einstellbar ist.

35

3. DLL-Schaltung (1) nach Anspruch 2, dadurch gekennzeichnet, dass die vorbestimmte Anzahl von aufeinander folgenden Signalzyklen so gewählt ist, dass die Signalverzögerung zwischen dem Eingangssignal und dem verzögerten Signal geringer ist als das durch die Anzahl bestimmte Vielfache der Signalzykluszeit.

4. DLL-Schaltung (1) nach Anspruch 1 bis 3, dadurch gekennzeichnet, dass die vorbestimmte Anzahl von aufeinander folgenden Signalzyklen 4 beträgt.

5. DLL-Schaltung (1) nach Anspruch 1 bis 4, dadurch gekennzeichnet, dass die Regeleinrichtung (7) die Verzögerung der einstellbaren Verzögerungseinheit (2) inkrementell verändert, wobei während der Einschwingphase die Inkremente größer sind als während der eingeschwungenen Betriebsphase.

6. DLL-Schaltung (1) nach Anspruch 1 bis 5, dadurch gekennzeichnet, dass die Filterschaltung (8) ein Schieberegister (10) mit der vorbestimmten Anzahl von Registerspeicher (11) umfasst, wobei an einem Eingang der Schieberegister (10) das Phasensignal (P) angelegt ist, wobei ein Zustandswechsel des gefilterten Phasensignals (FP) nur dann erfolgt, wenn in allen Schieberegistern (10) ein bezüglich des Zustandes des Phasensignals (P) anderer Zustand gespeichert ist.

7. DLL-Schaltung (1) nach Anspruch 6, dadurch gekennzeichnet, dass die Filterschaltung (8) ein SR-Flipflop (14) umfasst, dessen Setzeingang mit dem Ausgang eines Und-Gatters (12) verbunden ist und dessen Rücksetzeingang mit dem Ausgang eines Nicht-Oder-Gatters (13) verbunden ist, wobei die Ausgänge der Registerspeicher (11) des Schieberegisters (10) mit Eingängen des Und-Gatters (12) und mit Eingängen des Nicht-Oder-Gatters (13) verbunden sind.

8. Verfahren zur Phasenanpassung eines periodischen Eingangssignales während einer Einschwingphase, wobei mit jedem Signalzyklus ein Phasensignal (P) generiert wird, das eine Voreilung oder eine Nacheilung des Eingangssignales bezüglich einem verzögerten Signal angibt,
5 wobei die Verzögerung des verzögerten Signals gemäß dem Phasensignal (P) eingestellt wird,
wobei während der Einschwingphase die Verzögerung des verzögerten Signals inkrementell erhöht wird,
10 wobei von der Einschwingphase zu einer eingeschwungenen Betriebsphase gewechselt wird, wenn ein Wechsel des Phasensignals eine Phasenlage von 0° angibt,
dadurch gekennzeichnet,
dass während der Einschwingphase das Phasensignal (P) gefiltert wird, wobei ein Wechsel des Zustandes des gefilterten
15 Phasensignals (FP) nur dann erfolgt, wenn bezüglich des Zustandes des gefilterten Phasensignals (FP) für eine vorbestimmte Anzahl von aufeinander folgenden Signalzyklen ein anderer Zustand des Phasensignals (P) detektiert worden ist.

20

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass während der Einschwingphase die Verzögerung des verzögerten Signals so lange erhöht wird, bis ein Wechsel von einer erkannten Nacheilung zu einer Voreilung des Eingangssignales erkannt wird.

25

Zusammenfassung

DLL-Schaltung zur Stabilisierung der Einschwingphase

DLL-Schaltung zur Phasenanpassung eines periodischen Eingangssignales mit einer einstellbaren Verzögerungseinheit,
5 mit einem Verzögerungselement und mit einer Regeleinheit, die eine Regeleinrichtung zum Einstellen einer Verzögerung des Eingangssignales in der Verzögerungseinheit und eine Vergleichereinheit umfasst, um bei jedem Signalzyklus ein Phasensignal zu generieren, dessen Zustand eine Voreilung oder eine
10 Nacheilung des Eingangssignals bezüglich einem durch die einstellbare Verzögerungseinheit und dem Verzögerungselement verzögerten Signal angibt und das der Regeleinrichtung während einer eingeschwungenen Betriebsphase zur Verfügung gestellt wird, wobei die Regeleinrichtung während einer Einschwingphase die Verzögerung der Verzögerungseinheit erhöht,
15 bis ein Wechsel des Phasensignals ein Wechsel von einer erkannten Nacheilung des Eingangssignals zu einer Voreilung des Eingangssignals anzeigt, dadurch gekennzeichnet, dass die Regeleinheit eine Filterschaltung umfasst, um während der Einschwingphase ein gefiltertes Phasensignal der Regeleinrichtung zur Verfügung zu stellen, wobei die Filterschaltung den
20 Zustand des gefilterten Phasensignals nur dann auf den Zustand des Phasensignals ändert, wenn bezüglich des Zustandes des gefilterten Phasensignals für eine vorbestimmte Anzahl
25 von aufeinander folgenden Signalzyklen ein anderer Zustand des Phasensignals detektiert worden ist.

Figur 1

Figur für die
Zusammenfassung

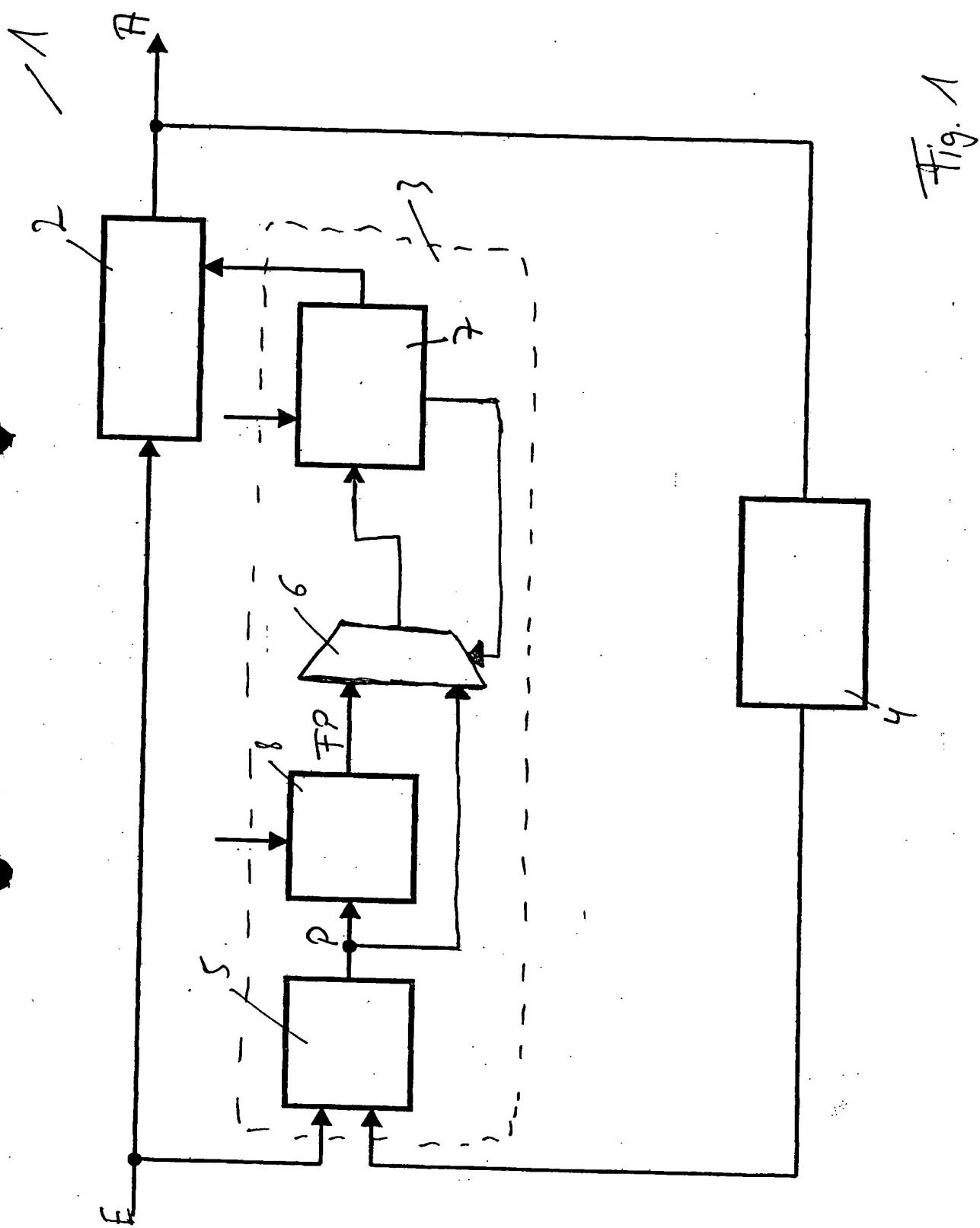
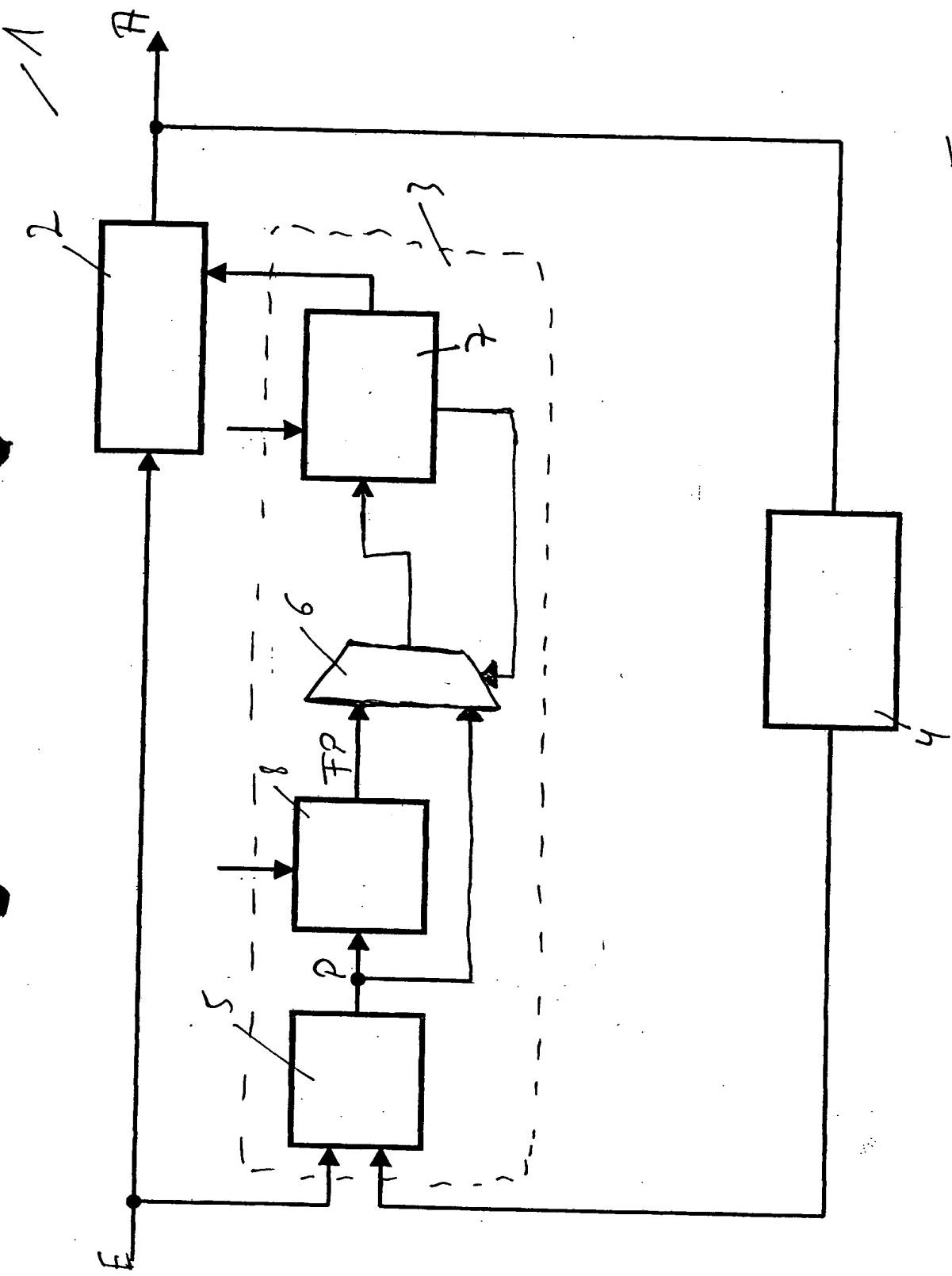


Fig. 1

Bezugszeichenliste

- 1 DLL-Schaltung
- 2 einstellbare Verzögerungseinheit
- 3 Regeleinheit
- 5 4 Verzögerungselement
- 5 Vergleichereinrichtung
- 6 Demultiplexer
- 7 Regeleinrichtung
- 8 Filterschaltung
- 10 10 Schieberegister
- 11 Registerspeicher
- 12 Und-Gatter
- 13 Nicht-Oder-Gatter
- 14 SR-Flipflop
- 15 E Eingang der DLL-Schaltung
- A Ausgang der DLL-Schaltung
- P Phasensignal
- FP gefiltertes Phasensignal

Fig. 1



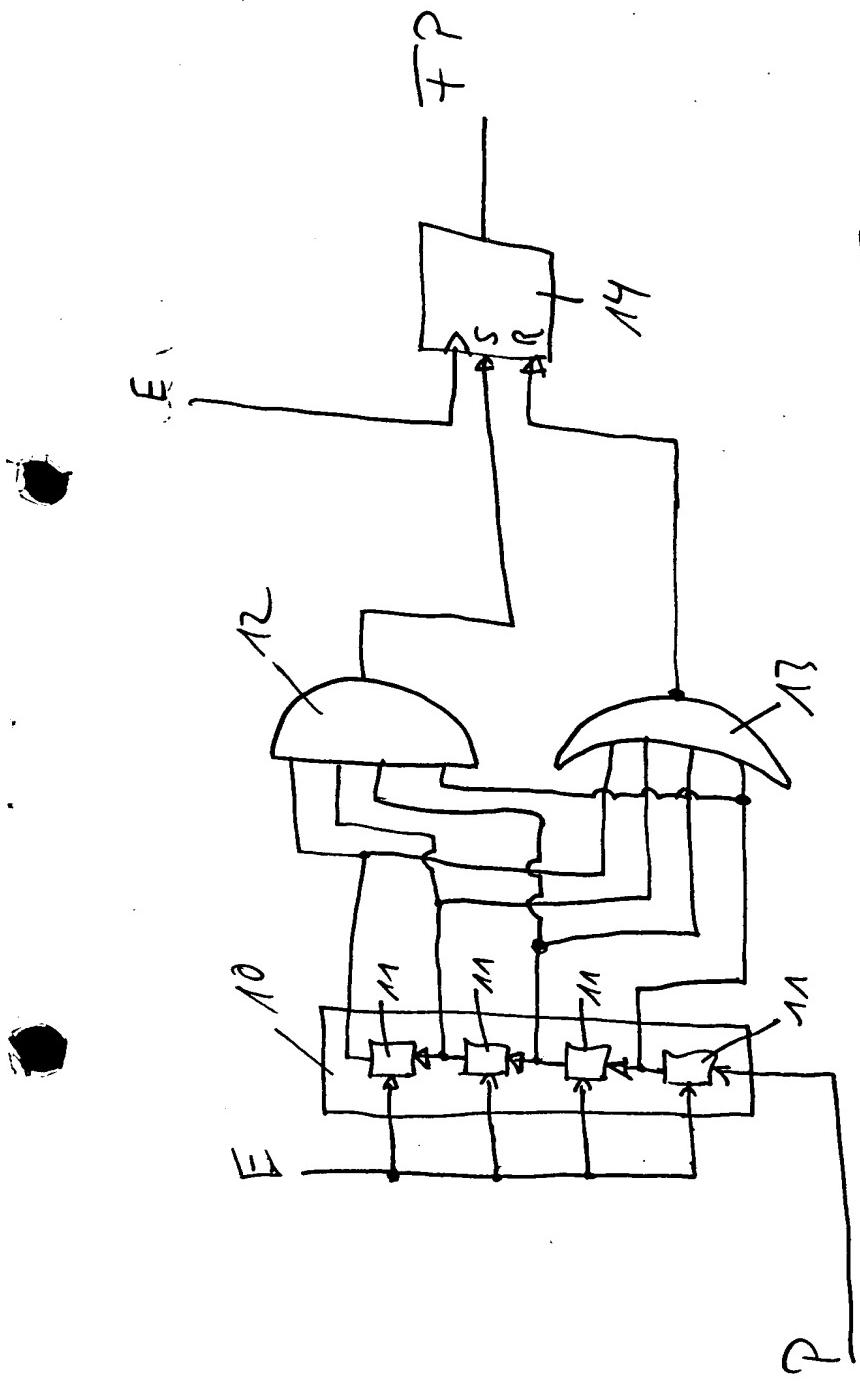


Fig. 2